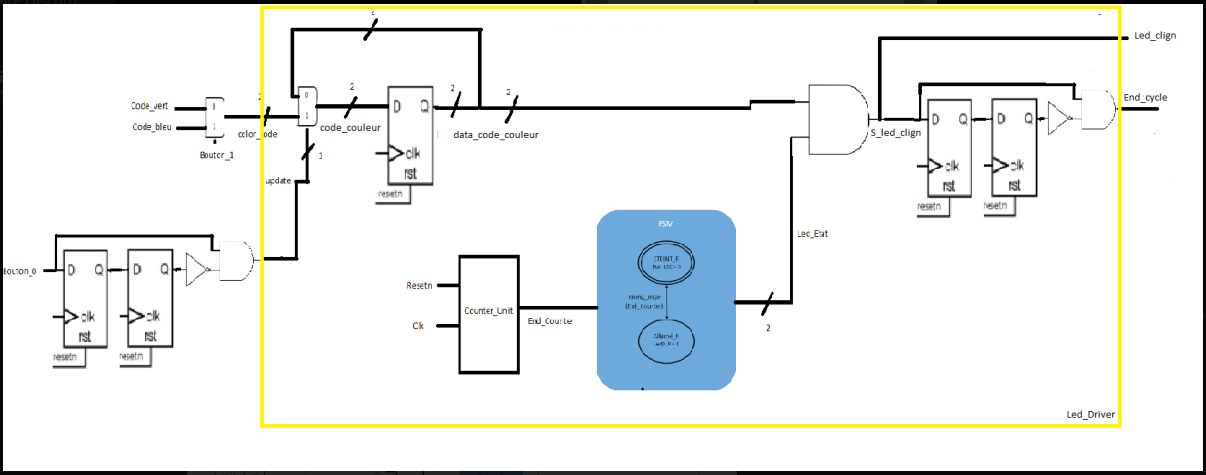
TP04 - Pilotage de LED et mémoire (Part2) (Kamal KHERCHOUCH)

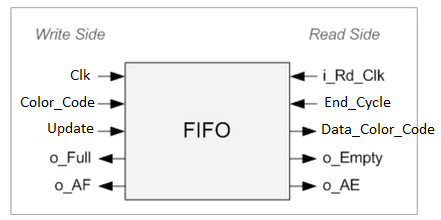
1. **Sur l’architecture RTL, modifiez le module *LED\_driver* en ajoutant une sortie *end\_cycle*. Cette sortie vaudra 1 à la fin d’un cycle allumé/éteint de la LED RGB.**



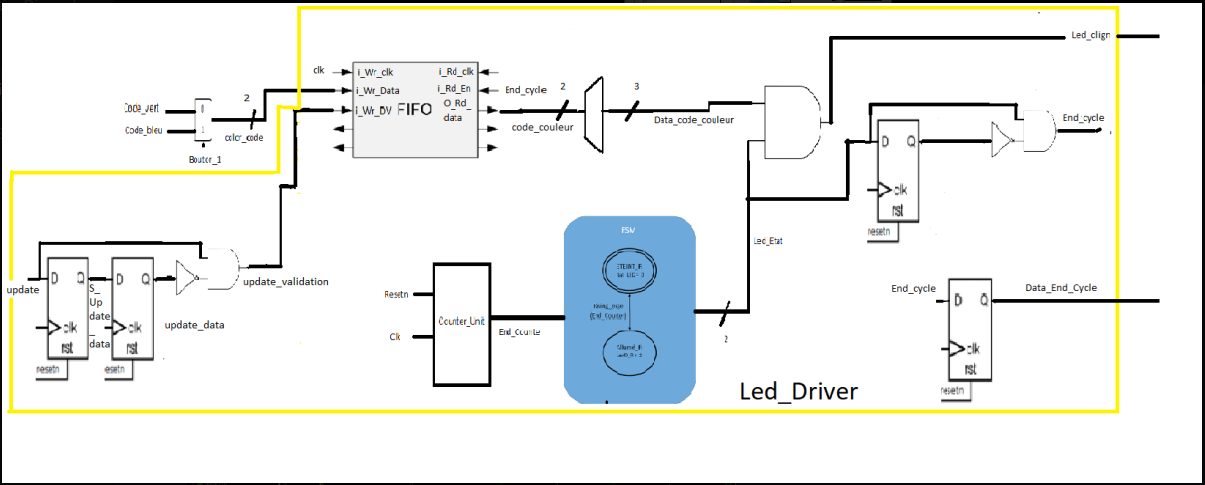
Sur l’architecture RTL de la fin du TP4 (part1), On a modifié le module Led\_Driver afin d’ajouter une détection de front montant sur le signal Led\_Clignotement. Ce qui nous permettra d’obtenir le signal end\_cycle à chaque cycle allumé/éteint de la led RGB.

1. **Modifiez la logique en entrée du module pour ajouter une FIFO. Cette FIFO doit prendre en entrée le code couleur « vert » ou « bleu » suivant l’état du bouton\_1 et est connectée en sortie à l’entrée *color\_code* du module *LED\_driver*. La donnée est écrite dans la FIFO lorsqu’il y a un front montant du bouton\_0. La donnée de la FIFO est lue lorsque le signal *end\_cycle* du module LED\_driver vaut 1.**

On ajoute, à notre schéma RTL la fifo suivante :



En remplaçant la partie combinatoire d’entrée par une Fifo, on obtient le schéma RTL suivant :

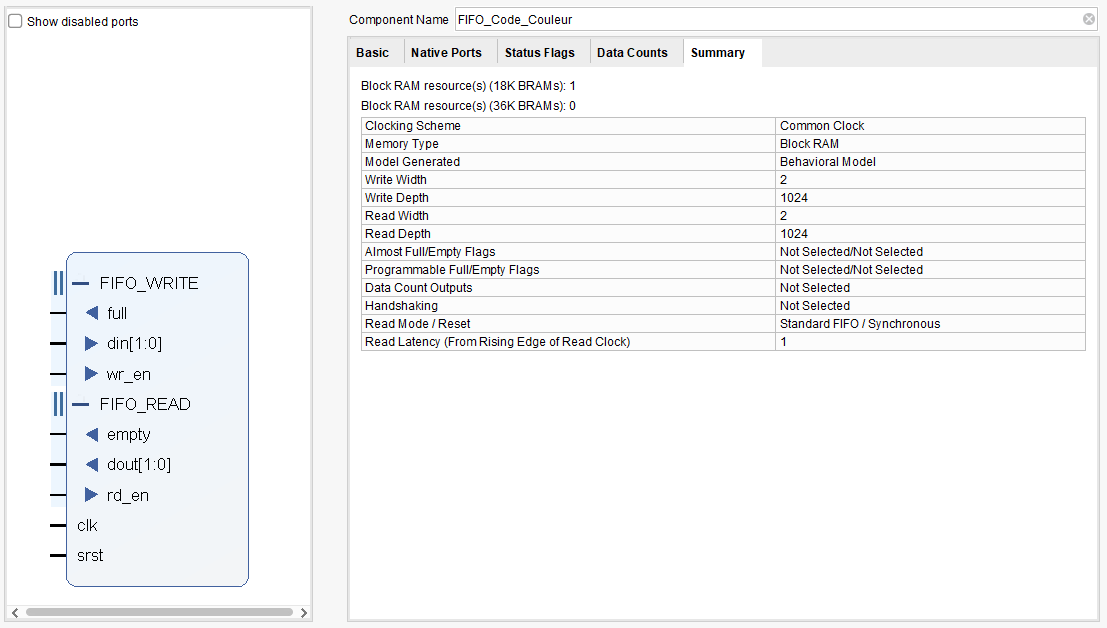


La Fifo créée un décalage entre l’entrée End\_Cycle et la sortie Code\_Couleur. Pour régler ce problème, il faut ajouter un registre sur le signal End\_Cycle afin d’avoir les signaux Led\_Clignotement et Data\_End\_Cycle synchronisé.

1. **Modifiez vos codes de la partie 1 pour y ajouter les nouveaux éléments de votre architecture.**

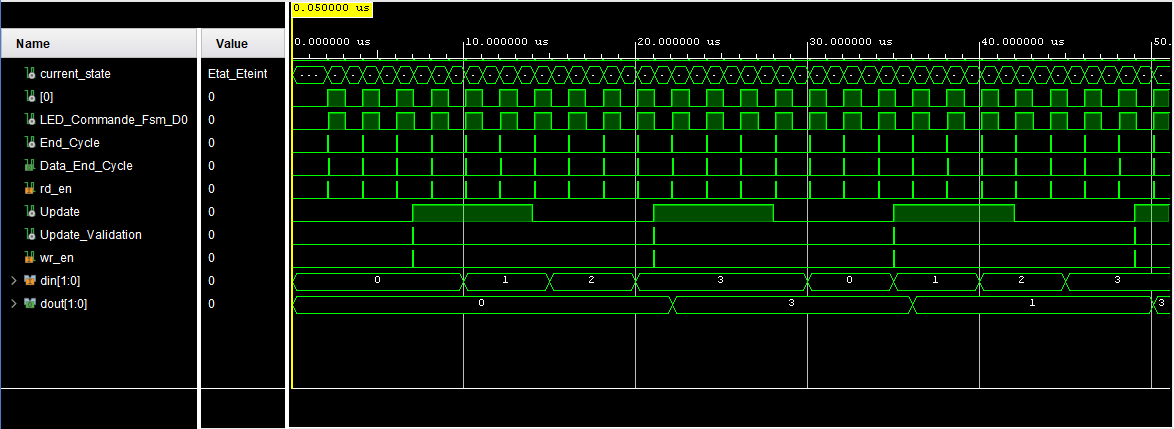
1ère étape : on modifie notre module Led\_Driver en y ajoutant la Fifo.

Dans l’IP catalogue on choisit le composant FIFO Generator :



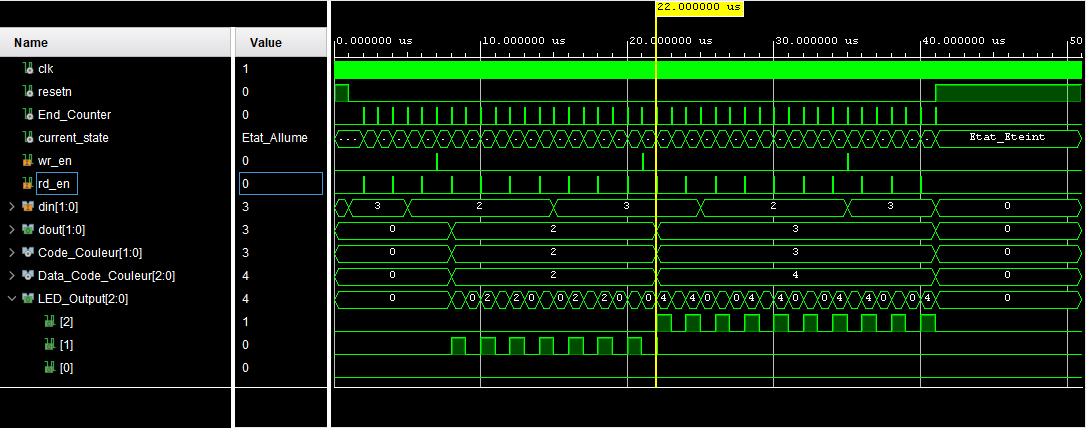
2ème étape : on modifie notre code en y ajoutant le module Led\_Driver avec FIFO.

1. **Mettez à jour le testbench et réalisez une simulation pour vérifier votre design.**



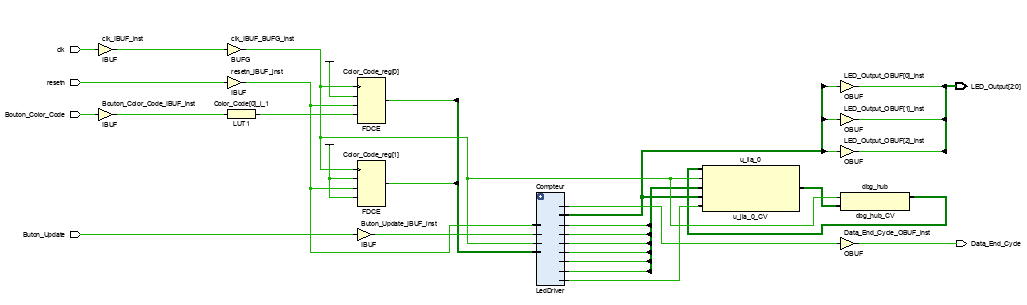
Cette simulation nous permet de valider notre composant Led\_Driver avec utilisation d’une FIFO.

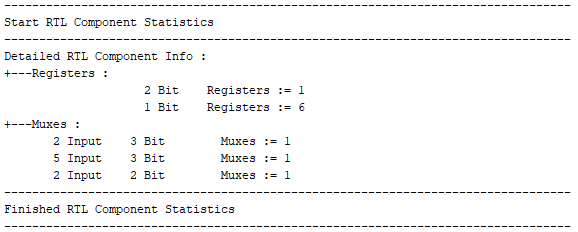
Lorsque le signal wr\_en de la FIFO détecte un front montant elle enregistre la valeur présente sur l’entre Din de cette dernière. Et lorsque le signal re\_en passe à 1 cette valeur est envoyée à la sortie Dout de la FIFO.

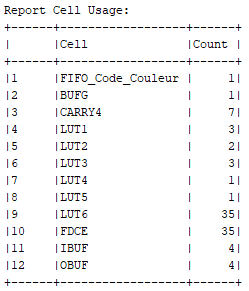


La dernière simulation montre que notre système fonctionne bien avec la mise en place de la Fifo. En fonction du code couleur et le la sortie de le Fifo on fait clignoter la LED désiré.

1. **Réalisez une synthèse et étudiez le rapport de synthèse, les ressources utilisées doivent correspondre à votre schéma RTL.**

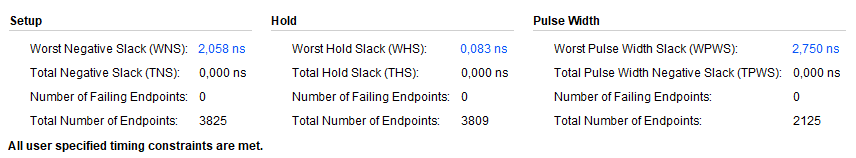




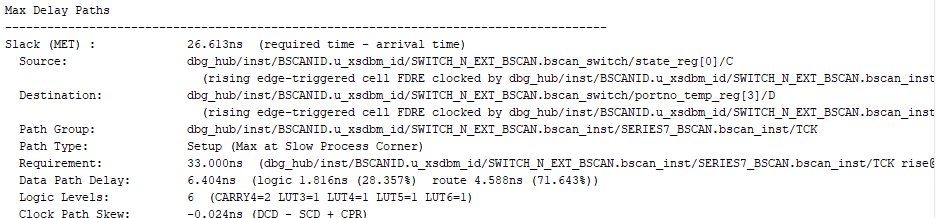


On voit bien que l’ensemble, semble conforme à notre design et notre schéma RTL. Avec le bon nombre de registre, de multiplexeurs, d’adders et d’entrées / sortie de notre système.

1. **Effectuez le placement routage et étudiez les rapports.**



Notre système ne devrait pas rencontrer de métastabilité car on ne retrouve pas de stack (TNS et THS = 0ns)



On observe que chemin le plus long est celui présenté ici.

1. **Générez le bitstream et vérifiez que vous avez le comportement attendu sur carte.**

Cf Vidéo